

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 62-000649

(43)Date of publication of application: 08.01.1987

(51)Int.Cl.

F02D 45/00

(21)Application number: 60-136768

(71)Applicant: HONDA MOTOR CO LTD
OKI ELECTRIC IND CO LTD

(22)Date of filing: 25.08.1985

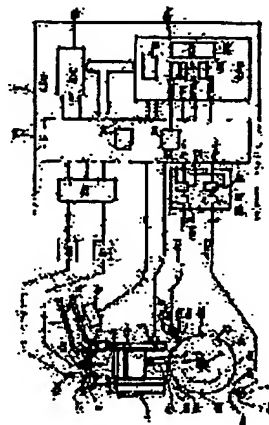
(72)Inventor: KUMAGAI CHIAKI
TOMAN SHINJI
KIMURA YUTAKA
OTOMO HARUTO

(54) OUTPUT TIMING ABNORMALITY DETECTING METHOD FOR CONTROL DEVICE FOR INTERNAL-COMBUSTION ENGINE

(57)Abstract:

PURPOSE: To improve reliability of a device, by a method wherein counting values of crank angle pulses on and after a preceding pulse generation time during generation of pulse of an actuating control signal are stored, and an abnormality on the output timing of a control device is detected through comparison with a previous memory value.

CONSTITUTION: A rotary disc 15 is attached to a crank shaft 14, and first and second pulsers 17 and 18 are positioned therearound. Output signals from the pulsers 17 and 18 are inputted to an input circuit 19 of a control circuit 2, and further are inputted to a fail safe circuit 33 of an I/O LSI 123. In the fail safe circuit 33, the number of pulse signals PC1, generated during one ignition cycle of from ignition to ignition in success is counted throughout three times of present ignition, preceding ignition, and ignition of two times before, and when the three counting values are in a given numerical relationship, it is decided that an abnormality occurs, and execution of ignition is prohibited.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAwAaqBDA362000649...> 2007/02/09

313148

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-649

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)1月6日

F 02 D 45/00

N-8011-3G

審査請求 未請求 発明の数 1 (全13頁)

⑭ 発明の名称 内燃エンジン用制御装置の出力タイミング異常検出方法

⑮ 特 願 昭60-136768

⑯ 出 願 昭60(1985)6月25日

⑰ 発 明 者	熊 谷 千 昭	所沢市下安松608-9
⑱ 発 明 者	十 万 真 司	富士見市水子1988
⑲ 発 明 者	木 村 裕	東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑳ 発 明 者	御 友 治 人	東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
㉑ 出 願 人	本田技研工業株式会社	東京都港区南青山2丁目1番1号
㉒ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号
㉓ 代 理 人	弁理士 渡部 敏彦	

明 細 書

1. 発明の名称

内燃エンジン用制御装置の出力タイミング異常
検出方法

2. 特許請求の範囲

1. 内燃エンジンのクランク軸の回転毎に複数のクランク角度位置でそれぞれクランク角度位置信号を発生させ、該クランク角度位置信号に基づき、クランク軸の所定回の回転毎に少なくとも1つの作動制御信号を発生させ、該作動制御信号により作動制御手段に所定の動作を実行させてエンジンの作動を制御する内燃エンジン用制御装置の出力タイミング異常検出方法において、該作動制御信号のパルス発生時に毎回、該作動制御信号の前回パルス発生時以降に発生した該クランク角度位置信号パルスの計数値を記憶し、今回記憶したクランク角度位置信号パルス計数値および今回以前に記憶したクランク角度位置パルス計数値に基づいて前記制御装置の出力タイミングの異常を検出す

ることを特徴とする内燃エンジン用制御装置の出力タイミング異常検出方法。

3. 発明の詳細な説明

(技術分野)

この発明は内燃エンジン用制御装置の出力タイミング異常検出方法に関するもので、特に作動制御対象たる例えば点火時期の制御において、制御装置の出力タイミング系の異常を診断することなく正確に検出し、内燃エンジンに対して的確なフェールセーフ機能を有せしめることのできる方法に係るものである。

(発明の技術的背景とその問題点)

内燃エンジンは、その作動に関して例えば点火時期を、当該エンジンの回転数、吸気管内圧力、およびエンジン温度等のエンジン運転パラメータ値に応じて最適な時期に調整し、常に良好な運転状態が保持できるようにしている。このような点火時期の制御をマイクロコンピュータを用いた電子式作動制御装置で行なう場合、クランク角度基準位置情報とともにクランク軸の回転角情報が必

特開昭62-649(2)

要不可欠のものとされている。このようなクランク軸の回転角情報の発生装置としては例えば次のようなものがある。即ちこの発生装置は、エンジンのクランク軸に磁性体からなる回転体が取付けられ、その外周部に適宜の角度間隔で回転角情報の発生部たる凸部を設け、この凸部に対向した回転体の外周位置に電磁ピックアップが配置されている。そしてエンジンの回転に伴って、電磁ピックアップからクランク軸の回転角情報たるパルス信号を発生させるようにしている。

ところで、エンジンの始動時などその回転状態が低回転のとき、回転角情報の発生部が電磁ピックアップの配置位置を通過する速度が遅くなるので、当該電磁ピックアップに誘起される信号レベルが低くなり、この電磁ピックアップに接続された入力段回路がこれをパルス信号として受け取らずに回転角情報の一部が欠落してしまうことがある。また電磁ピックアップを構成しているコイル等の接続不良等の場合にも回転角情報の欠落が生じる。一方、当該制御装置は車室内の高圧ノイズ等に発

生しやすい場所に備えられるのが普通なので、入力段回路がこの高圧ノイズを、正確な回転角情報以外のパルス信号として取り入れてしまう場合がある。内燃エンジンにおける回転角情報の発生装置は急加減速等のエンジン運転状態の変化で所定期間内のパルス信号の発生数に変化するが、このようなエンジン運転状態変化によるパルス発生数の変化とノイズの混入等に起因して増減するパルス発生数の変化とを識別し、又、制御装置の中央演算処理装置(CPU)が所謂急急状態になった場合の制御装置の出力タイミングの異常を正確に検出し、内燃エンジンに対して的確なフェールセーフ機能を提供することが必要とされる。

(発明の目的)

この発明は、このような点に鑑みてなされたもので、その目的とするところは、制御装置の出力タイミングの異常を検出して、内燃エンジンに対して的確なフェールセーフ機能を提供することのできる内燃エンジンのクランク角度位置検出系の異常検出方法を提供することにある。

(発明の構成)

上記目的を達成するため、この発明によれば内燃エンジンのクランク軸の回転毎に複数のクランク角度位置でそれぞれクランク角度位置信号を発生させ、該クランク角度位置信号に基づき、クランク軸の所定回の回転毎に少なくとも1つの作動制御信号を発生させ、該作動制御信号により作動制御手段に所定の動作を実行させてエンジンの作動を制御する内燃エンジン用制御装置の出力タイミング異常検出方法において、該作動制御信号のパルス発生時に毎回、該作動制御信号の前回パルス発生時以降に発生した該クランク角度位置信号パルスの計数値を記憶し、今回記憶したクランク角度位置信号パルス計数値および今回以前に記憶したクランク角度位置信号パルス計数値に基づいて前記制御装置の出力タイミングの異常を検出することを特徴とする内燃エンジン用制御装置の出力タイミング異常検出方法が提供される。

(発明の実施例)

以下この発明を図面に基づいて説明する。

まず、第1図はこの発明に適用する電子式作動制御装置として電子式点火時期制御装置の全体構成を示す図である。図中符号1は4気筒または2気筒等のインライン型又はV型のエンジン、2は電子コントロールユニット(以下「ECU」という)で、V形のエンジン1は、気筒夹角が45°、60°、90°、128°、135°および直列4気筒等の何れの角度のものも適用することができ、図は複数気筒のうちの1個の気筒の要部を一部断面で示している。符号10a、10bは点火プラグで、図には2個だけが示されているが、この点火プラグはそれぞれの気筒に各別に取付けられている。そして後述するように各点火プラグ10a、10bは各別に設けられた点火コイルに接続されて、ディストリビュータ無しで点火方式とされている。4気筒のエンジンに対しては、符号10aの点火プラグに図示省略の他の1個の点火プラグが電気的に直列接続され、これと同様に符号10bの点火プラグに対しても図示省略の他の1個の点火プラグが電気的に直列接続される。直列接続さ

特開2002-649 (3)

れた各2個の点火プラグは同一の点火信号で放電を始めこの同時に放電する2個のうち一方の点火プラグは非気行程で放電するので、いわゆる拾火方式の点火方式がとられる。符号3はエンジン1の燃焼室で、この燃焼室3には、吸気管4および排気管5が通達され、各通達口には吸気バルブ6および排気バルブ7がそれぞれ配設されている。吸気管4の途中にはスロットル弁8が設けられ、このスロットル弁8の下流には絶対圧又は絶対圧センサ（以下単に絶対圧センサという）9が設けられており、この絶対圧センサ9によって電気信号に変換された吸気管内絶対圧信号はECU2に送られる。またエンジン1の気筒周壁部には冷却水が充填され、この部分にサーミスタ等からなるエンジン水温センサ11が挿着されている。このエンジン水温センサ11の検出信号はECU2に供給される。12はピストンで、このピストン12がコネクティングロッド13を介してクランク軸14に連結されている。そして、このクランク軸14に、その回転に応じて第2図(a)(b)に示す

ような第1及び第2のパルス信号 P_{01} 、 P_{02} を発生するパルス発生機構が配設されている。即ちまずクランク軸14に回転部材としての回転円板15が取付けられその円周部に、強磁性材質の凸起体で形成されたリアクタ16a~16gが円周上1個所を除く等分位置、例えば45°の角度間隔で突設されている。リアクタはこのように図示の例で言えば符号16dと16eの間で1個所だけ欠落され、この欠落部の角度間隔は90°とされている。回転円板15の外周には、その円周部に沿って、磁石体17a~18aにコイル17b、18bを巻回して形成した第1、第2の電磁ピックアップ（以下パルサという）17、18が配設されている。第1および第2のパルサ17、18の配設角度間隔は、適用されるエンジンの上死点間隔、気筒数等に対応して規定され、図の例では上死点間隔180°の直列4気筒エンジンに適用した場合が示されていて、2個のパルサ17、18間の配設角度間隔は約180°に規定されている。

ECU2は、上述の各センサ9、11の検出信

号、および両パルサ17、18からのパルス信号 P_{01} 、 P_{02} に基づいて進角データ01gおよび次に述べる点火コイルへの通電時間 T_{01} 等を演算している。点火コイル21、22には、それぞれ図示省略の1次コイルおよび2次コイルが備えられ、この2次コイルの出力端がそれぞれの点火プラグ10a、10bに接続されている。点火コイル21、22はECU2からの信号により1次コイルに通電される電流が制御され、2次コイルに高電圧が発生して点火プラグ10a、10bに火花放電を生じさせる。

一方、ECU2には、上述のような演算処理をするために、まずこれをブロックで大別すると、入力回路19、入出力LSI（以下「I/O-LSI」という）23、中央演算処理装置（以下「CPU」という）24、A/Dコンバータ25、および出力回路26が備えられている。さらに入力回路19には第1および第2のパルサ17、18でそれぞれ発生した第1および第2のパルス信号 P_{01} 、 P_{02} （第2図(a)(b))を波形整形する波形整形

回路27、28と、この各波形整形回路27、28からの出力をそれぞれラッチする第1および第2のフリップフロップ回路29、31が配設されている。第1のフリップフロップ回路29はそのQ出力の出力線路がI/O-LSI23を介してCPU24のINT端子に接続され、また第2のフリップフロップ回路31はそのQ出力の出力線路がI/O-LSI23を介してCPU24のSTATUS端子に接続されている。符号32は第1、第2の両フリップフロップ回路29、31に対するクリア信号線路で、CPU24のP/P CLR端子に接続されている。そしてI/O-LSI23の部分に第1のパルス信号 P_{01} 、言い換えれば、パルス信号 P_1 に基づいてクランク角度位置検出系の異常を検出するフェールセーフ回路38が配設されている。なおフェールセーフ回路の詳細は後述する。またI/O-LSI23の部分における符号34は後述するM-タイマである。

CPU24はワンチップICとして構成されているものが適用され、その内部に後述する通電力

特開昭62-649 (4)

ウンタとして作用するカウンタ（以下「通電カウンタ」という）35、後述する $N_e \cdot P_{sa} - \theta_{ig}$ マップ $T_w - \Delta \theta_{ig}$ テーブル、気筒夾角テーブル、および各種演算プログラム等を記憶するリードオンリメモリ（以下「ROM」という）36、各種演算結果等を記憶するためのランダムアクセスメモリ（以下「RAM」という）37、および入出力用のバッファ38が配設されている。

そして、CPU24は、第1および第2のパルス信号 P_{o1} 、 P_{o2} 、言い換えれば第1および第2のフリップフロップ回路29、31からの出力信号（第2図(e)(d)）により、まずクランク角度位置を検出する。即ち、第1のパルス信号 P_{o1} が第1のフリップフロップ回路29にラッチされると、その出力信号により $I/O - LSI23$ を介してCPU24に割込み要求が生じる。CPU24はこの割込み要求を受けて第2のフリップフロップ回路31のQ出力（第2図(d)）が「1」レベルにあるか「0」レベルにあるかを識別する。このとき割込み要求の生じたタイミングで第2のフリ

ップフロップ回路のQ出力が「0」レベルになっている箇所（第2図中上線の箇所）がクランク軸14の1回転当りに1回存在する。このときのクランク角度位置を基準クランク角度位置 α と規定する。基準クランク角度位置 α の検出後、第1のパルス信号 P_{o1} の各発生間隔をステージと定義して各ステージにステージ番号を付番する。この番号の割付け方はエンジン1の気筒夾角により種々に規定することができ、基準クランク角度位置 α の検出されたステージを何番とするかはエンジンの仕様ごとにROM36に記憶されている。第2図(a)の例では、基準位置 α を検出したときのステージをステージ1と付番し、以下ステージ2、3…と付番される。斯くしてCPU24は、第1フリップフロップ回路29からのQ信号による割込み要求が生じる毎に、クランク角度位置、即ちステージ位置を検出し、このステージ位置の検出が終ると $F/F - CLR$ 信号を出力して両フリップフロップ回路29、31をリセットする。

基準クランク角度位置 α の検出後、第1のパル

ス信号 P_{o1} の発生時間間隔、即ち M_e 値が M_e タイマ34によりクロックパルスで計測される。 M_e 値はエンジン回転数 N_e の逆数（ $1/N_e$ ）に比例し、この M_e 値でエンジン回転数 N_e を間接的に計測する。そしてこの M_e 値から求めたエンジン回転数 N_e と、絶対圧センサ9およびエンジン水温センサ11でそれぞれ検出され、さらにA/D変換器28でデジタル値に変換された吸気管内絶対圧 P_{sa} およびエンジン水温 T_w の各値とから、次の(1)、(2)各式で与えられる進角データ θ_{ig} 、および点火コイル21、22への通電時間 T_{on} を演算する。

$$\theta_{ig} = \theta_{igmap} + \Delta \theta_{ig} \dots (1)$$

$$T_{on} = f(N_e) \dots (2)$$

ここに θ_{igmap} は基本進角データを示し、エンジン回転数 N_e と吸気管内絶対圧 P_{sa} との関数（ $\theta_{igmap} = f(N_e, P_{sa})$ ）であり、ROM36に記憶されている $N_e \cdot P_{sa} - \theta_{ig}$ マップから読み出される。 $\Delta \theta_{ig}$ は進角データの補正値でエンジン温度 T_w の関数（ $\Delta \theta_{ig} = f(T_w)$ ）

であり、ROM36に記憶されている $T_w - \Delta \theta_{ig}$ テーブルから読み出される。また通電時間 T_{on} は、前記(2)式に示すようにエンジン回転数 N_e のみの関数で上記と同様にROM36に記憶されている $N_e - T_{on}$ テーブルから読み出される。このようにして求められた進角データ θ_{ig} および通電時間データ T_{on} はRAM37にストアされる。

進角データ θ_{ig} および通電時間データ T_{on} が求められたのち、さらにこれらの値に基づいて点火時期データ T_{ig} および通電時期データ T_{cs} が演算される。まず点火時期データ T_{ig} について述べると、先に検出した基準位置 α から、進角データ θ_{ig} に相当するクランク角度だけステージを遡り点火ステージ（図の例ではステージ6）を求め、この点火ステージの始まるパルス信号 P_{o1} （ステージ6信号）の発生時点からの時間を示す点火時期データ T_{ig} を角度・時間変換等により演算する。通電時期については、点火時期から通電時間 T_{on} に相当するクランク角度だけステー

特開昭62-649 (5)

ジを通り通電ステージ（図の例ではステージ3）を求める。次いでこの通電ステージの始まるパルス信号 P_{o1} （ステージ3信号）の発生時点から通電時期までの時間を表わす通電時期データ T_{og} を演算する。演算された点火時期および通電時期の両データ T_{ig} 、 T_{og} はRAM37にストアされる。

このように演算された各データに基づいて通電および点火が実行される。この実行を符号10a側の点火プラグについて説明する。第1のフリップフロップ回路28の出力による各割込み毎に、まずステージ位置の検出が行なわれる。通電ステージ、即ちステージ3信号 P_{o1} が検出されると、このステージ3信号 P_{o1} の発生タイミングで通電カウンタ35をスタートさせ、その計数値をRAM37から読み出された通電時期データ T_{og} と比較する。そして計数値が通電時期データ T_{og} を超えたときに出力回路28を介して点火コイル21に通電信号を送出し、その1次コイルに通電する。次いで点火時期の実行は点火ステージ、即ちステージ8

信号 P_{o1} が検出されたとき、このステージ8信号 P_{o1} の発生時点から図示省略の点火カウンタをスタートさせ、図示省略の点火レジスタに設定された点火時期データ T_{ig} を計数値が超えたとき後述するクランク角度位置検出系の異常検出を行なった後、点火信号（通電オフ信号）を点火コイルの1次コイルへ送出し、2次コイルに高電圧を発生させて点火プラグ10aに火花放電を生じさせ、気筒内の混合気に点火する。他の点火プラグ10bに対する通電および点火の実行についても、通電および点火のステージが異なるだけで、その他は上記とほぼ同様であるので説明を省略する。而して、エンジン回転数 N_e 、吸気管内絶対圧 P_{ia} 、およびエンジン冷却水温 T_w によりそのときのエンジンの運転状態に最適な通電時間ならびに点火時期の制御が行なわれる。なお、エンジンの始動直後などでエンジン回転数 N_e が所定の低回転数以下の場合は、回転変動が生じ易く点火時期等を正確に制御することが困難になるので、上述のようなエンジン回転数 N_e 等に応じた制御

は行なわず、点火時期を例えばクランク軸の上死点位置（TDC）に固定するというような、いわゆる角度ロック方式とする。例えばこの実施例の場合、ステージ1が検出されたときに実行される割込ルーチンでステージ1の検出と実質的に同時に点火が実行される。

この発明は、電子式作動制御装置、例えば上述のような電子式点火時期制御装置における第1、第2のパルス17、18および入力回路27、28等を含むクランク角度位置検出系の異常を検出する方法であって、主として前記フェールセーフ回路33の作動により実行されるものである。

以下第3図及び第4図（a）～（k）も参照してこの発明に係る内燃エンジン用制御装置の出力タイミング異常検出方法の実施例を説明する。

尚、この実施例では点火プラグ10a及び10bの2系統の点火制御が実行されるが、点火プラグ10aの一方の系統の出力タイミングが監視され、これにより制御装置の出力タイミングの異常が検出される。

制御装置の出力タイミングが異常であるか否かは、1作動周期、即ち連続した点火から点火までの1点火周期の間に発生する第1のパルス信号 P_{o1} 、言い換えれば第1のフリップフロップ回路33から出力されるパルス信号 P_A （以下このフェールセーフ回路の説明では「 P_A パルス」という）の個数を例えば今回、前回、前々回の点火時の3回に亘って計数し、これら三者の計数値が所定の数値関係にあるとき、異常であると判定する。そして異常と判定した場合はリセット信号を出力してCPU24をリセットして点火の実行を禁止する。異常であるか否かを判定する場合の P_A パルス計数値の組合わせ例を第1表により説明する。（次頁に続く）

特開昭62-649 (6)

第 1 表

No	P _A 計数値	今回P _A	前回P _A	前々回P _A	判定
1	P _A <4	0~"4"	---	---	異常
2	P _A =5	"5"	"5"	---	
3	P _A =6	"6"	"6"	"6"	正常
4	P _A =7	"7"	"7"	"7"	
5	P _A =8	"8"	"8"	"8"	異常
6	P _A =9	"9"	"9"	---	
7	P _A >10	"10"以上	---	---	

まず異常がないと判定する場合から説明する。
前記第1図に示したように回転円板15の円周上には、その1周に7個のリアクタ16a~16gが配設されており、連続した点火から点火までの1点火周期の間に第1のパルス信号P₀₁、言い換えればP_Aパルスはクランク角度位置検出系が正常で且つエンジンが一定回転数を保持している限り7個発生する筈である。したがって第1表第4欄に示すようにP_Aパルス計数値が毎回検出時に"7"であればクランク角度位置検出系に異常がないと判定する。

P_Aパルス計数値が"6"の場合は、エンジン回転数が高回転領域にあるとき、または急加速時においてP_Aパルスの信号発生間隔が狭くなり、

ステージ6にあるとする。このように角度ロック状態から、エンジン回転数N_eが上昇した制御切換時にはP_Aパルス計数値が"5"という状態が1回発生することはあり得る。しかしこのP_A計数値"5"という状態が連続して2回発生することはあり得ないと考え、第1表第2欄に示すようにP_Aパルスの計数値が"5"であることを連続して2回検出した場合は、クランク角度位置検出系は異常であると判定する。

P_Aパルス計数値が"8"の場合は、点火時期が当初ステージ番号で6のクランク角度位置にあり、この状態からエンジン回転数N_eが急減して、次がステージ番号で7で、さらにその次がステージ1の位置に移行したとすると、このP_Aパルス数"8"は2回連続して計数されることがあり得る。しかし、3回連続して計数されることがあり得ないと考える。このため第1表第5欄に示すようにP_Aパルス計数値が"8"であることを連続して3回検出した場合は、クランク角度位置検出系及び点火時期制御系は異常であると判定する。

P_Aパルスの立上りと、後述のカウンタリセット信号とが非同期的ために重なる場合が生じ、この重なったP_Aパルスはカウントされない。したがって第1表第3欄に示すようにP_Aパルス数"6"が連続して計数された場合は、P_Aパルス計数値"7"の場合と同様に、クランク角度位置検出系に異常がないと判定する。

次いで異常と判定される場合を説明する。

P_Aパルス計数値が"4"以下の場合は、例えばエンジン回転数N_eが極低回転数のような場合で、バルサ17に誘起されるべきパルス信号の一部が欠落している異常状態が考えられる。このようなP_Aパルス計数値が"4"以下の場合は、第1表第1欄に示すようにクランク角度位置検出系は直ちに異常と判定する。

P_Aパルス計数値が"5"以下の場合は、例えばエンジン回転数N_eが所定の低回転数以下で点火時期が当初TDCの位置にいわゆる角度ロックされており、次の点火時期までの間にエンジン回転数N_eが上昇して、当該次の点火時期が

P_Aパルス計数値が"9"の場合は点火時期が当初ステージ番号で6のクランク角度位置にあり、この状態からエンジン回転数N_eが急激に低下して次の点火は、ステージ1の位置に移行したとする。このような場合にP_Aパルス計数値"9"の状態が1回はあり得る。しかしP_Aパルス計数値"9"が2回連続して計数されることがあり得ないと考え、第1表第6欄に示すようにP_Aパルス計数値が"9"であることを連続して2回検出した場合は、クランク角度位置検出系は異常であると判定する。

P_Aパルス計数値が"10"以上の場合は、入力線回路が高圧ノイズ等をパルス信号として誤って取入れてしまったような場合の異常時等に有効な判別となる。このようなP_Aパルス計数値が"10"以上の場合は、第1表第7欄に示すようにクランク角度位置検出系は直ちに異常と判定する。

次に第3図により上述のような判定処理を実行するフェールセーフ回路33の内部構成を詳述する。フェールセーフ回路33には、P_Aパルスの

特開昭62-649 (7)

カウント機能、P_Aパルス計数値を記憶するラッチ機能、3個のP_Aパルス計数値が所定の関係にあるかを判定する判定機能、並びに異常と判定したときのリセット信号の出力機能等の各機能を有する回路が備えられている。即ち、まず符号41はP_Aパルスカウント用のバイナリカウンタで、その入力端子41にはP_Aパルスの入力線路42が接続されている。符号43は点火用信号の入力端子、44は後述するS_T下信号の入力端子で、これらの点火用信号およびS_T下信号がORゲート45に入力され、このORゲート45の出力端子がカウンタ41のリセット端子Rに接続されている。そしてカウンタ41の4個の出力端子01～04に、前記P_Aパルス計数値ラッチ用の第1のレジスタ46、および前記P_Aパルス計数値ラッチ用の第2のレジスタ47が順次接続されている。第1および第2のレジスタ46、47はDフリップフロップのQ出力端子およびQ₂出力端子を組とする8個の出力端子を有し、図には符号Q1～Q4の出力端子のみが記載されてQ1～Q4の特

号の記載が省略してある。符号Q1～Q4間の端子がQ1に、符号Q2とQ3の間の端子がQ2等にそれぞれ相当する。符号48、49は後述する前記P_Aパルスラッチ用信号および前記P_Aパルスラッチ用信号の各入力端子で、入力端子48は2入力ORゲート50を介して第1のレジスタのクロック端子CKに接続され、入力端子49は他の2入力ORゲート51を介して第2のレジスタ47のクロック端子CKに接続されている。上記の両2入力ORゲート50、51の他方の入力端子には、イグニッションスイッチ（図示せず）の投入直後に発生するパワーオンリセット信号POR、後述するリセット信号RESET、および前記CPU24内で実行されるプログラムのいわゆる暴走時にこれをクリアするためのウォッチドッグタイマクリア信号W/T CLRの各信号の入力端子が3入力ORゲート52を介して接続されている。

ここで、P_Aパルス計数値に対するカウンタ41、および第1、第2のレジスタ46、47の各出力端子に現れる2進数の出力値を表で示すと第2表

のとおりである。

第 2 表

カ ウ ン タ 端 子 (41)	レ ジ ス タ 端 子 (46) (47)	P _A パルス計数値										
		0	1	2	3	4	5	6	7	8	9	10
01	Q4	0	1	0	1	0	1	0	1	0	1	0
02	Q3	0	0	1	1	0	0	1	1	0	0	1
03	Q2	0	0	0	0	1	1	1	1	0	0	0
04	Q1	0	0	0	0	0	0	0	0	1	1	1

そして、P_Aパルス計数値に応じて各出力端子に上表のような2進数値を出力するカウンタ41、第1、第2の両レジスタに対し、これらの出力値から前記第1表に従ってクランク角位置検出系が異常であるかを判別するために次のような各回路が配設されている。

まずカウンタ41の出力端子01～04に、P_Aパルス“4”以下を異常と判別するためのバイナリのコンパレータ53が接続されている。コンパレータ53におけるA0～A3はそれぞれカウンタ

41の各出力端子01～04に接続されたP_Aパルス計数値の入力端子、B0～B3は比較設定値“4”設定端子で、B2端子のみ「1」で他の端子には「0」が与えられて“4”に相当する2進数の「0100」が設定される。入力端子A0～A3からのP_Aパルス数の入力値が設定値“4”以下のとき出力端子53から「1」信号が出力される。

次いでP_Aパルス計数値が“5”以上の場合、即ち前記第1表の第2欄～第7欄の場合は、クランク角位置検出系が異常であるかを判別するために、カウンタ41および第1、第2のレジスタの各2進数出力値（前記第2表）をデコードするANDゲート群と、これら各ANDゲートの出力を比較する論理回路等が次のように配設されている。

まずカウンタ41、および第1のレジスタ46から出力されるP_Aパルス計数値“5”に相当する2進数出力値（第2表）をデコードして「1」を出力する第1、第2の4入力ANDゲート54、55

特開昭62-649 (B)

が配設されている。第1のANDゲート54の4入力端子には、カウンタ41の(01)および(03)出力端子が直接、カウンタ41の(02)及び(04)出力端子がそれぞれインバータ58bおよび58dを介して接続され、第2のANDゲート55の4入力端子には、第1のレジスタ46におけるQ1、Q2、Q3、Q4の各出力端子が接続されている。

符号56、57は、P_Aパルス計数値“9”に相当する2進数値(第2表)をデコードして「1」を出力する第3、第4の4入力ANDゲートである。第3のANDゲート56の4入力端子のうちの2個の入力端子にはカウンタ41の(01)および(04)出力端子がそれぞれ接続され他の2個の入力端子にはカウンタ41の(02)及び(03)出力端子がそれぞれインバータ58bおよび58cを介して接続されている。また第4のANDゲート57の4入力端子には、第2のレジスタ48におけるQ1、Q2、Q3、Q4の各出力端子が接続されている。

が接続され他の3個の入力端子には、カウンタ41の(01)(02)(03)出力端子がそれぞれインバータ58a、58bおよび58cを介して接続されている。また第10ANDゲート64の4入力端子には第1のレジスタ46におけるQ1、Q2、Q3、Q4の各出力端子がそれぞれ接続されている。さらに第11のANDゲート65の4入力端子には第2のレジスタ47におけるQ1、Q2、Q3、Q4の各出力端子が接続されている。第10および第11の両ANDゲート64、65の各出力端子は、第12の2入力ANDゲート66入力端子にそれぞれ接続されて、両出力はさらにANDととられている。

符号67、68の第13および第14の3入力ANDゲートは、これら2つのANDゲートによりカウンタ41が計数するP_Aパルス計数値が“10”から“11”に変化する直前に「1」を出力するデコードを構成する。第13のANDゲート67の3入力端子のうちの1個の入力端子にはカウンタ41の(02)端子が接続され、他の2個の入力端子

符号58、60、61は、P_Aパルス計数値“6”に相当する2進数値をデコードして「1」を出力する第5、第6および第7の4入力ANDゲートである。第5のANDゲート59の4入力端子のうちの2個の入力端子にはカウンタ41の(02)および(03)出力端子がそれぞれ接続され、他の2個の入力端子にはカウンタ41の(01)および(04)出力端子がそれぞれインバータ58aおよび58dを介して接続されている。また第6のANDゲート60の4入力端子には、第1のレジスタ48におけるQ1、Q2、Q3、Q4の各出力端子が接続されている。さらに第7のANDゲート61の4入力端子には、第2のレジスタ47におけるQ1、Q2、Q3、Q4の各出力端子が接続されている。

符号63、64、65は、P_Aパルス計数値“8”に相当する2進数値をデコードして「1」を出力する第9、第10および第11の4入力ANDゲートである。第9ANDゲートの4入力端子のうちの1個の入力端子にはカウンタ41の(04)端子

には、カウンタ41の(01)(03)端子がそれぞれインバータ58a、58cを介して接続されている。また第14のANDゲート68の3個の入力端子には、P_Aパルスの入力線路42、第13ANDゲート67の出力端子、およびカウンタ41の(04)出力端子がそれぞれ接続されている。カウンタ41のP_Aパルス計数値が“10”のとき、第14のANDゲート68の入力線路42に接続される端子以外の入力端子には「1」が入力されており該第14のANDゲート68は待機状態にある。第11個目のパルスが入力線路42に発生したとき、第14のANDゲート68はカウンタ41の出力端子(01)に「1」が現れる迄の短期間「1」を出力する。

そしてさらに上記の各ANDゲートの出力に基づいて今回、前回および前々回のP_Aパルスの計数値の間に前記第1表に示す数値関係が成立したとき「1」を出力する第1及び第2の論理回路69、70が配設されている。第1の論理回路69はインバータ58eも含めてAND・オアの論理機能

特開昭62-649 (9)

を有し、これと同様に第2の論理回路70はインバータ58fも含めてアンド・オアの論理機構を有している。そして第1の論理回路69における69aおよび69bの各入力端子には、第2および第1のANDゲート55、54の出力端子がそれぞれ接続され、69cおよび69dの各入力端子には、第4および第3のANDゲート57、56の出力端子がそれぞれ接続されている。

一方、第2の論理回路70における符号70aの入力端子は、本実施例では接地され「0」が入力されており、入力端子78bに第5のANDゲート59の出力端子が接続されている。また符号70cおよび70dの各入力端子には、第12および第9のANDゲートの出力端子がそれぞれ接続されている。

そしてさらに上記第1、第2の論理回路69、70の後段に、リセット信号出力回路を構成する3入力ORゲート71、フリップフロップ回路72および2入力ORゲート76等が順次配設されている。ORゲート71の3個の入力端子には、コ

ンパレータ53の出力端子53aと、各インバータ58a、58fを介して第1、第2の論理回路69、70の両出力線路とがそれぞれ接続されている。

また、ORゲート71の出力端子は、フリップフロップ回路72におけるD入力端子に接続され、このフリップフロップ回路72のQ出力端子が2入力ORゲート78における一方の入力端子に接続されている。ORゲート76における他方の入力端子には、第14のANDゲート88の出力端子が接続されている。そしてこのORゲート76からCPU24リセット用のリセット信号出力端子が導出されている。符号73はフェール検出のタイミング信号となる後述する前記OUT信号の入力端子、74は後述するST信号の入力端子でこれら両入力端子73、74が、第15の2入力ANDゲート75の両入力端子にそれぞれ接続されこの第15のANDゲート75の出力端子がフリップフロップ回路72のクロック端子CKに接続されている。

符号78はフェールリセット回路で、フリップフロップ回路72のQ出力端子からの出力信号、言い換えれば異常と判定されたときのリセット信号を導入し、このリセット信号の入力時からさらにクロックパルスを所定個数カウントした所定時間の経過後に、3入力ORゲート79を介して当該フリップフロップ回路72にリセット用信号を送出するものである。ORゲート79における3入力端子のうちの他の2個の入力端子には、前記と同様のパワーオンリセット信号PORおよびウォッチドッグタイマクリア信号W/T CLRの各信号の入力端子が接続されている。

次いで、上述のフェールセーフ回路33の作用を説明する。

エンジンのイグニッションスイッチ（図示せず）を閉成（オン）すると、第2図のECU2に給電が開始されるが、この給電の開始直後に後述する「1」レベルにあるST信号が出力されるとともに給電電圧が所定レベルに達したときにパワーオンリセット信号PORが1パルスだけ出力される。

このST信号44はカウンタ41を初期リセットし、POR信号は、第1、第2レジスタ46および47の各CK端子に入力してPAパルス計数値の読み込みを指令するがカウンタ41は前述のとおりST信号によりリセットされたばかりであるから第1および第2のレジスタ46および47の各内容は0にクリアされたことに等しい。POR信号はフリップフロップ回路72に供給されてこれをリセットする。

次いで、上述の供給によりCPU24の初期化例えばレジスタのクリア、変数値の初期値の設定等が完了するとCPU24は「1」レベルのST信号を出力するがCPU24の初期化が完了する迄はST信号は「0」レベルにあり、ST信号の反転信号であるST信号は上述の通り「1」レベルにある。初期化完了後のST信号により2入力ANDゲート75は動作待機状態に保持される。この状態において入力線路42にPAパルスが現れるとカウンタ41はPAパルス発生数の計数を開始し、PAパルスが入力する前記第2表に示す

特開昭62-649 (10)

通りに出力端子(01)～(04)の出力レベルを変化させる。前述した点火カウンタ(図示省略)の計数値が点火時間データT1_gに達する毎にI/O LSI 23の図示しない同期パルス発生回路が4つの同期パルス信号、即ち前OUT信号(第4図(e))、前々P_Aパルス計数値ラッチ用信号(以下「前々P_Aラッチ信号」という)(図面(f))、前P_Aパルス計数値ラッチ用信号(以下「前P_Aラッチ信号」という)(図面(g))、およびOUT信号(図面(h))をこの順序で順次発生する。前OUT信号は待機状態にあるANDゲート75の他方の端子に入力し、この入力タイミングでフリップフロップ回路72のクロック端子CKに「1」レベルが供給される。フリップフロップ回路72はそのクロック端子CKに「1」レベルが入力されている間のD端子入力が「0」レベルである場合、即ち、前記第1表に例示される今回、前回および前々回に検出されたP_Aパルス計数値が異常を表わす所定の数値関係にない場合、Q出力端子は「0」レベルに保持される。次いで、前々P_A

ラッチ信号がOR回路51を介して第2レジスタ47のクロック端子CKに供給される。この前々P_Aラッチ信号(図面(i))が第2のレジスタ47のクロック端子CKに入力するタイミングで、第1のレジスタ46にラッチされていた前回P_Aパルス計数値が第2のレジスタに前々回P_Aパルス計数値としてラッチされる(図面(k))。次いで、前P_Aラッチ信号(図面(j))が第1のレジスタ46のクロック端子CKに入力し、このタイミングで、カウンタ41で計数された今回P_Aパルス計数値が第1のレジスタ41に前回P_Aパルス計数値としてラッチされる(図面(l))。この第1のレジスタ41へのラッチ作用の直後に続いて発生されるOUT信号(図面(m))によりカウンタ41がリセットされ、次の新たな今回P_Aパルス数の計数を開始させる一方、このOUT信号により出力回路26に前記点火信号を出力させる。一方、今回、前回、前々回の各P_Aパルスの計数値間に前記第1表の第1、第2、および第5、第6、第7の各欄に示す数値関係が成立したときは、

例えば第1表第1欄のP_Aパルス計数値が“4”以下の場合は、コンパレータ53の出力端子53aから「1」信号が出力され、これがORゲート71を介してフリップフロップ回路72のD入力端子に「1」が導かれる。また第1表第2欄のP_Aパルス計数値“5”が2回連続して検出されたときは、第1および第2のANDゲート54、55からともに「1」が出力され、これが第1の論理回路69の69a、69bの両入力端子に入力して当該論理回路69からはインバータ58aを経て「1」が出力され、ORゲート71を介してフリップフロップ回路72のD入力端子に「1」が導かれる。上記の第1表、第1および第2欄以外の第5、第6、第7の各欄の数値関係成立の場合も上記と同様にしてフリップフロップ回路72のD入力端子には「1」が導かれる。従って前OUT信号(第4図(e))の発生タイミングでフリップフロップ回路72のクロック端子CKに「1」信号が入力し、Q出力端子からは異常判定信号たる「1」信号が出力され、この「1」信号に基づいてOR

ゲート76からリセット信号が出力され、CPU 24がリセットされる。

このようにして今回P_Aパルス計数値及び今回以前に計数したP_Aパルス計数値に基づいて、制御装置の出力タイミングが異常であるか否かが判断することなく正確に検出される。

異常と判定されてCPU 24がRESET信号によりリセットされるとCPU 24はST信号を「0」にST信号を「1」にそれぞれ反転させ、この反転されたST信号によりイグニッションスイッチ閉成(オン)直後と同様にカウンタ41がリセットされる。RESET信号はORゲート52を介して第1および第2のレジスタ46、47の各CK端子にも供給されこれらのレジスタの内容も零にリセットされる。この後にCPU 24等がリセットされた後、所定時間が経過するとフェールリセット回路78からのフェールリセット信号によりフリップフロップ回路72がリセットされ、出力端子77からのリセット信号が消失してCPU 24のリセットが解除され、「1」レベルに回復した

特開昭62-649 (11)

ST信号によりANDゲート75は再び待機状態にされる。また点火コイル21, 22に送電後、異常と判定されたときは、図示省略のソフトオフ手段により点火コイル21, 22の1次側電圧を徐々に低下させ2次側の誘起起電力が小にされて、点火プラグ10a, 10bの火花放電が防止される。

なお前記第1次の異常状態と見做すP_aパルス計数値の組合せ関係は、任意に設定することができる。

(発明の効果)

以上詳述したようにこの発明によれば、内燃エンジンのクランク軸の回転毎に複数のクランク角度位置でそれぞれクランク角度位置信号を発生させ、該クランク角度位置信号に基づき、クランク軸の所定箇所の回転毎に少なくとも1つの作動制御信号を発生させると共に、この作動制御信号のパルス発生時に毎回、該作動制御信号の前回パルス発生時以降に発生した該クランク角度信号パルスの計数値を記憶し、今回記憶したクランク角度位

置信号パルス計数値および今回以前に記憶したクランク角度位置信号パルス計数値に基づいて制御装置の出力タイミングの異常を検出するようにしたから制御装置の出力タイミングの異常を診断することなく正確に検出して、内燃エンジンの、例えば点火時期制御に対して的確なフェールセーフ機能の有せしめることができるという効果が得られる。

4. 図面の簡単な説明

第1図はこの発明を実施する電子式点火時期制御装置の一例を示すブロック図、第2図は同上装置における各信号波形等を示すタイミングチャート、第3図は第1図の装置におけるフェールセーフ回路の一例をさらに詳細に示す回路図、第4図は同上フェールセーフ回路における各信号波形等を示すタイミングチャートである。

1…エンジン、10a, 10b…点火プラグ、14…クランク軸、17, 18…第1, 第2のパルス、24…CPU、33…フェールセーフ回路、41…カウンタ、46, 47…第1, 第2のレジ

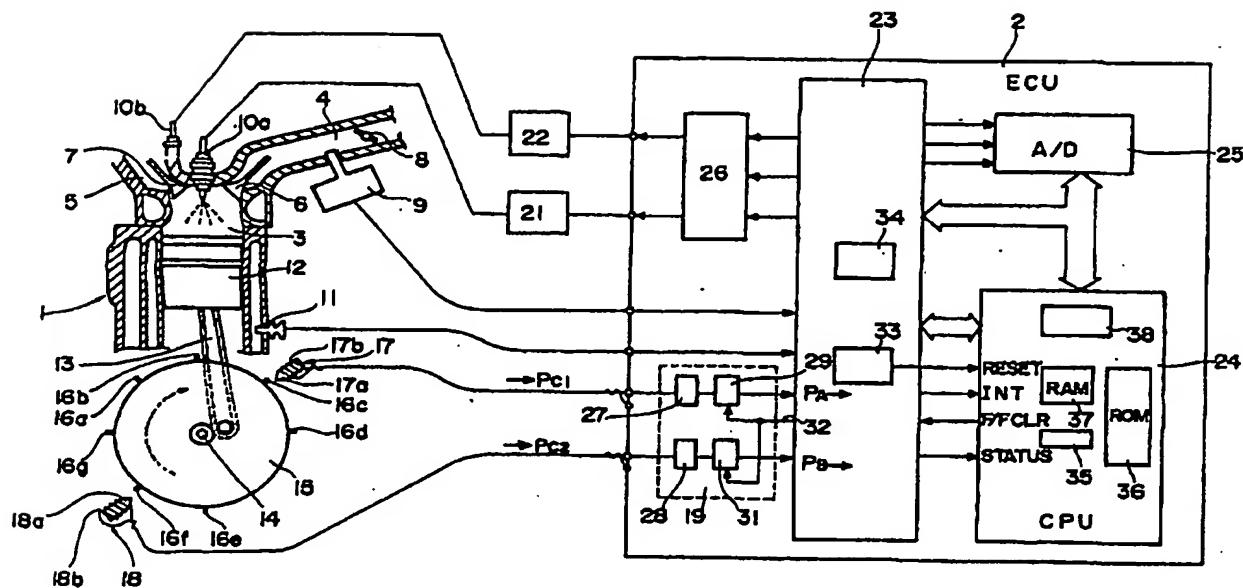
スタ、69, 70…第1および第2の論理回路、72…フリップフロップ回路。

出願人 本田技研工業株式会社
同 神電気工業株式会社

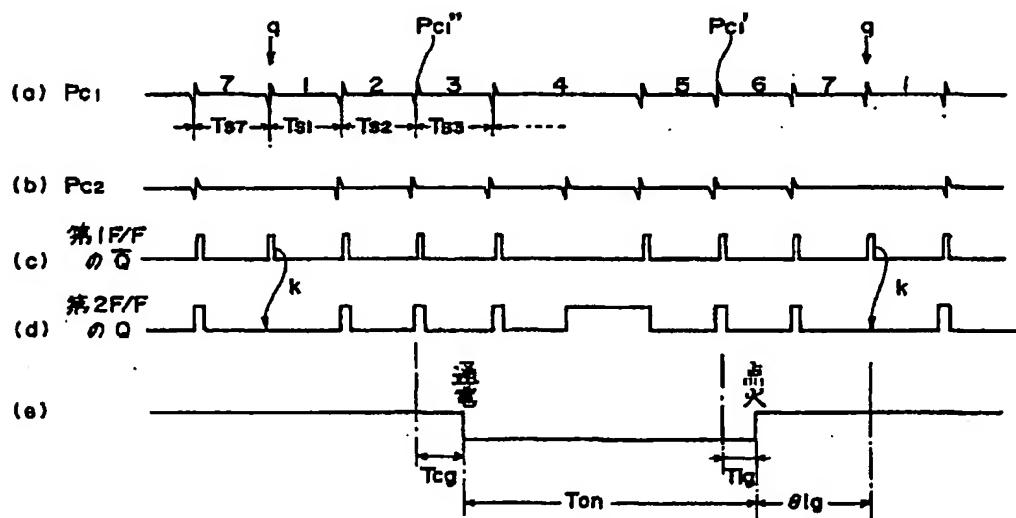
代理人 弁理士 渡部 敏彦

特開昭 62-649 (12)

第一圖

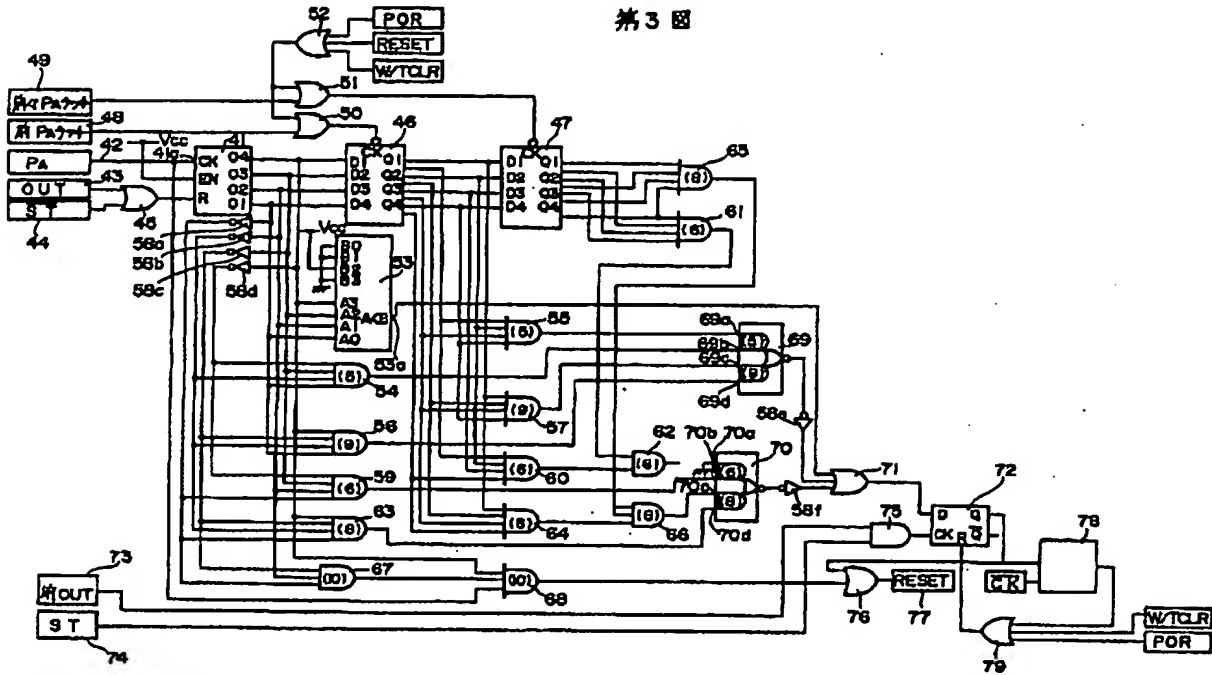


第 2 圖

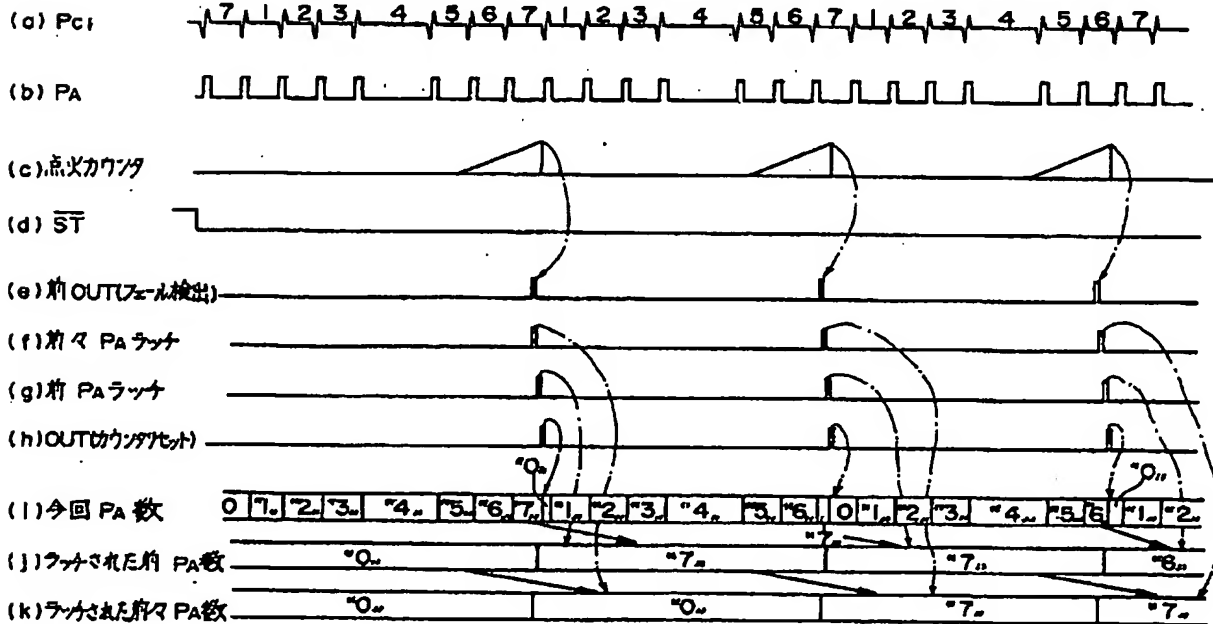


特開昭 62-649 (18)

第3圖



第4圖



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☒ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.